

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

Docket No.: 49657-894

#3
SQ
9/7/01

PATENT



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Hiroyuki KUZUMA, et al.

Serial No.:

Group Art Unit:

Filed: February 02, 2001

Examiner:

For: **BACK ANNOTATION APPARATUS FOR CARRYING OUT A SIMULATION
BASED ON THE EXTRACTION RESULT IN REGARD TO PARASITIC ELEMENTS**

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2000-226756,
filed July 27, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:dtb
Date: February 2, 2001
Facsimile: (202) 756-8087

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

49687-894
Kuzuma, et al.
February 2, 2001

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 7月27日

出願番号

Application Number:

特願2000-226756

出願人

Applicant(s):

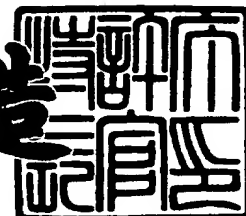
三菱電機株式会社



2000年 9月 1日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3070245

【書類名】 特許願

【整理番号】 524708JP01

【提出日】 平成12年 7月27日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/50
G06F 11/26
G01R 31/28

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 葛間 弘行

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 山崎 晃稔

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 バックアノテーション装置およびその方法

【特許請求の範囲】

【請求項 1】 論理回路に所定の信号を印加する際に、電位の変化するノードを検出するプレレイアウトシミュレーション実行部と、

前記論理回路のレイアウトパターンに対して所定のレイアウトパターン検証を実行するレイアウトパターン検証実行部と、

前記プレレイアウトシミュレーション実行部に接続され、前記電位の変化するノードより寄生素子を抽出する寄生素子抽出部と、

前記寄生素子抽出部に接続され、前記レイアウトパターンデータに含まれるすべてのデバイスおよび前記寄生素子抽出部で抽出された寄生素子を含むネットリストを生成するネットリスト生成部と、

前記ネットリスト生成部に接続され、前記ネットリストを用いてポストレイアウトシミュレーションを実行するポストレイアウトシミュレーション実行部とを含む、バックアノテーション装置。

【請求項 2】 前記プレレイアウトシミュレーション実行部は、

前記論理回路に前記所定の信号を印加する際に、電位の変化するノードを検出するアクティブノード検出部と、

前記論理回路に前記所定の信号を印加する際に、電位の変化しないノードを検出するノンアクティブノード検出部とを含み、

前記ネットリスト生成部は、前記寄生素子抽出部および前記レイアウトパターン検証実行部に接続され、前記レイアウトパターンデータ内のアクティブノードに対する寄生素子と、前記アクティブノードに接続されたデバイスとを含むネットリストを生成する寄生素子付ネットリスト生成部を含み、

前記ポストレイアウトシミュレーション実行部は、前記ネットリスト生成部および前記ノンアクティブノード検出部に接続され、前記電位の変化しないノードの電位を所定の電位に固定し、前記ネットリストを用いてポストレイアウトシミュレーションを実行するための手段を含む、請求項 1 に記載のバックアノテーション装置。

【請求項3】 さらに、前記レイアウトパターン検証実行部に接続され、レイアウトパターン検証時に独自の基準で縮退された直列接続デバイスが並列に接続された、レイアウトパターンデータまたは論理回路図上のノードを抽出する内部ノード抽出部と、

前記内部ノード抽出部、前記アクティブノード検出部および前記ノンアクティブノード検出部に接続され、前記内部ノード抽出部での抽出結果に基づいて、前記アクティブノード検出部および前記ノンアクティブノード検出部の検出結果を更新するノード情報更新部とを含む、請求項2に記載のバックアノテーション装置。

【請求項4】 さらに、前記レイアウトパターン検証実行部に接続され、レイアウトパターン検証時に独自の基準で縮退された直列接続素子が単一素子化された、レイアウトパターンデータまたは論理回路図上のノードを抽出する内部ノード抽出部と、

前記内部ノード抽出部、前記アクティブノード検出部および前記ノンアクティブノード検出部に接続され、前記内部ノード抽出部での抽出結果に基づいて、前記アクティブノード検出部および前記ノンアクティブノード検出部の検出結果を更新するノード情報更新部とを含む、請求項2に記載のバックアノテーション装置。

【請求項5】 さらに、前記レイアウトパターン検証実行部に接続され、レイアウトパターン検証時に独自の基準で縮退された直列接続デバイスが並列に接続された、レイアウトパターンデータまたは論理回路図上のノードを抽出する第1の内部ノード抽出部と、

前記レイアウトパターン検証実行部に接続され、レイアウトパターン検証時に独自の基準で縮退された直列接続素子が単一素子化された、レイアウトパターンデータまたは論理回路図上のノードを抽出する第2の内部ノード抽出部と、

前記第1の内部ノード抽出部、前記第2の内部ノード抽出部、前記アクティブノード検出部および前記ノンアクティブノード検出部に接続され、前記第1および第2の内部ノード抽出部での抽出結果に基づいて、前記アクティブノード検出部および前記ノンアクティブノード検出部の検出結果を更新するノード情報更新

部と、

前記寄生素子付ネットリスト生成部に接続され、前記ネットリストに含まれる寄生素子情報のみを縮退する寄生素子情報縮退部とを含む、請求項 2 に記載のバックアノテーション装置。

【請求項 6】 論理回路に所定の信号を印加する際に、電位の変化するノードを検出するステップと、

前記論理回路のレイアウトパターンに対して所定のレイアウトパターン検証を実行するステップと、

前記電位の変化するノードより寄生素子を抽出するステップと、

前記レイアウトパターンデータに含まれるすべてのデバイスおよび前記寄生素子抽出部で抽出された寄生素子を含むネットリストを生成するステップと、

前記ネットリストを用いてポストレイアウトシミュレーションを実行するステップとを含む、バックアノテーション方法。

【請求項 7】 検出する前記ステップは、

前記論理回路に前記所定の信号を印加する際に、電位の変化するノードを検出するステップと、

前記論理回路に前記所定の信号を印加する際に、電位の変化しないノードを検出するステップとを含み、

生成する前記ステップは、前記レイアウトパターンデータ内のアクティブノードに対する寄生素子と、前記アクティブノードに接続されたデバイスとを含むネットリストを生成するステップを含み、

実行する前記ステップは、前記電位の変化しないノードの電位を所定の電位に固定し、前記ネットリストを用いてポストレイアウトシミュレーションを実行するステップを含む、請求項 6 に記載のバックアノテーション方法。

【請求項 8】 さらに、レイアウトパターン検証時に独自の基準で縮退された直列接続デバイスが並列に接続された、レイアウトパターンデータまたは論理回路図上のノードを抽出するステップと、

前記ノードの抽出結果に基づいて、前記電位の変化するノードおよび前記電位の変化しないノードに関する情報を更新するステップとを含む、請求項 7 に記載

のバックアノテーション方法。

【請求項 9】 さらに、レイアウトパターン検証時に独自の基準で縮退された直列接続素子が単一素子化された、レイアウトパターンデータまたは論理回路図上のノードを抽出するステップと、

前記ノードの抽出結果に基づいて、前記電位の変化するノードおよび前記電位の変化しないノードに関する情報を更新するステップとを含む、請求項 7 に記載のバックアノテーション方法。

【請求項 10】 さらに、レイアウトパターン検証時に独自の基準で縮退された直列接続デバイスが並列に接続された、レイアウトパターンデータまたは論理回路図上のノードを抽出するステップと、

レイアウトパターン検証時に独自の基準で縮退された直列接続素子が単一素子化された、レイアウトパターンデータまたは論理回路図上のノードを抽出するステップと、

前記ノードの抽出結果に基づいて、前記電位の変化するノードおよび前記電位の変化しないノードに関する情報を更新するステップと、

前記ネットリストに含まれる寄生素子情報のみを縮退するステップとを含む、請求項 7 に記載のバックアノテーション方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、バックアノテーション装置およびその方法に関し、特に、抽出された寄生素子の結果に基づいてシミュレーションを行なうバックアノテーション装置および方法に関する。

【0002】

【従来の技術】

プロセス技術の進歩および素子の高速化に伴って、配線遅延を削減することが重要となってきた。そのために、いったんレイアウトを行ない、レイアウト終了後にそのレイアウトから配線遅延の原因となる寄生素子を抽出し、そのレイアウトの回路構成と上記寄生素子の情報を用いて回路シミュレーションを行なう。

これをバックアノテーションと呼ぶ。

【0 0 0 3】

従来のバックアノテーションフローでは、対象となるレイアウトパターンデータ内に存在する全デバイスと指定したノードとの寄生素子情報を含む寄生素子付ネットリストを用いて、ポストレイアウトシミュレーションを実施していた。

【0 0 0 4】

【発明が解決しようとする課題】

しかし、近年、半導体集積回路が大規模化するにともない、半導体集積回路の全デバイスを対象としてポストレイアウトシミュレーションを行なうには、寄生素子抽出および、ポストレイアウトシミュレーションに費やす実行時間が多大となり、現実的な時間での実行が困難な場合が多い。また、対象となるレイアウトパターンデータ内の寄生素子抽出の対象ノードを選定する作業も人手で行なわなければならない上、抽出対象ノードの数が多くなればなるほどポストレイアウトシミュレーションが困難になるという問題がある。

【0 0 0 5】

本発明は上述の課題を解決するためになされたものでその目的は、効率的にバックアノテーションを実行することが可能なバックアノテーション装置およびその方法を提供することである。

【0 0 0 6】

【課題を解決するための手段】

本発明のある局面に従うバックアノテーション装置は、論理回路に所定の信号を印加する際に、電位の変化するノードを検出するプレレイアウトシミュレーション実行部と、論理回路のレイアウトパターンに対して所定のレイアウトパターン検証を実行するレイアウトパターン検証実行部と、プレレイアウトシミュレーション実行部に接続され、電位の変化するノードより寄生素子を抽出する寄生素子抽出部と、寄生素子抽出部に接続され、レイアウトパターンデータに含まれるすべてのデバイスおよび寄生素子抽出部で抽出された寄生素子を含むネットリストを生成するネットリスト生成部と、ネットリスト生成部に接続され、ネットリストを用いてポストレイアウトシミュレーションを実行するポストレイアウトシ

ミュレーション実行部とを含む。

【 0 0 0 7 】

プレレイアウトシミュレーション結果を用いて、対象となるレイアウトパターンデータ内の寄生素子抽出対象ノードの選定を容易化する。それに伴い、寄生素子の抽出処理時間が短縮する。また、寄生素子の抽出結果を用いてポストレイアウトシミュレーションを実行するため、ポストレイアウトシミュレーションの処理時間を短縮し、効率的なバックアノテーションの実施が可能となる。

【 0 0 0 8 】

好ましくは、プレレイアウトシミュレーション実行部は、論理回路に所定の信号を印加する際に、電位の変化するノードを検出するアクティブノード検出部と、論理回路に所定の信号を印加する際に、電位の変化しないノードを検出するノンアクティブノード検出部とを含む。ネットリスト生成部は、寄生素子抽出部およびレイアウトパターン検証実行部に接続され、レイアウトパターンデータ内のアクティブノードに対する寄生素子と、アクティブノードに接続されたデバイスとを含むネットリストを生成する寄生素子付ネットリスト生成部を含む。ポストレイアウトシミュレーション実行部は、ネットリスト生成部およびノンアクティブノード検出部に接続され、電位の変化しないノードの電位を所定の電位に固定し、ネットリストを用いてポストレイアウトシミュレーションを実行するための手段を含む。

【 0 0 0 9 】

さらに好ましくは、バックアノテーション装置は、さらに、レイアウトパターン検証実行部に接続され、レイアウトパターン検証時に独自の基準で縮退された直列接続デバイスが並列に接続された、レイアウトパターンデータまたは論理回路図上のノードを抽出する第1の内部ノード抽出部と、レイアウトパターン検証実行部に接続され、レイアウトパターン検証時に独自の基準で縮退された直列接続素子が単一素子化された、レイアウトパターンデータまたは論理回路図上のノードを抽出する第2の内部ノード抽出部と、第1の内部ノード抽出部、第2の内部ノード抽出部、アクティブノード検出部およびノンアクティブノード検出部に接続され、第1および第2の内部ノード抽出部での抽出結果に基づいて、アクテ

ィブノード検出部およびノンアクティブノード検出部の検出結果を更新するノード情報更新部と、寄生素子付ネットリストに接続され、ネットリストに含まれる寄生素子情報のみを縮退する寄生素子情報縮退部とを含む。

【0010】

プレレイアウトシミュレーション結果を用いたレイアウトパターンデータ内の寄生素子抽出対象ノード選定を容易化する。それとともに、ポストレイアウトシミュレーション対象回路の絞込みとレイアウトパターンデータに忠実な寄生素子抽出と抽出精度を維持したままの寄生素子情報の縮退化を実現できる。また、寄生素子抽出処理時間および上記寄生素子抽出結果を用いたポストレイアウトシミュレーション処理時間を短縮し、効率的なバックアノテーションの実施が可能になる。

【0011】

本発明の他の局面によるバックアノテーション方法は、論理回路に所定の信号を印加する際に、電位の変化するノードを検出するステップと、論理回路のレイアウトパターンに対して所定のレイアウトパターン検証を実行するステップと、電位の変化するノードより寄生素子を抽出するステップと、レイアウトパターンデータに含まれるすべてのデバイスおよび寄生素子抽出部で抽出された寄生素子を含むネットリストを生成するステップと、ネットリストを用いてポストレイアウトシミュレーションを実行するステップとを含む。

【0012】

プレレイアウトシミュレーション結果を用いて、対象となるレイアウトパターンデータ内の寄生素子抽出対象ノードの選定を容易化する。それに伴い、寄生素子の抽出処理時間が短縮する。また、寄生素子の抽出結果を用いてポストレイアウトシミュレーションを実行するため、ポストレイアウトシミュレーションの処理時間を短縮し、効率的なバックアノテーションの実施が可能となる。

【0013】

【発明の実施の形態】

【実施の形態1】

図1を参照して、バックアノテーション装置は、コンピュータ1と、コンピュ

ータ 1 に指示を与えるためのキーボード 5 およびマウス 6 と、コンピュータ 1 により演算された結果等を表示するためのディスプレイ 2 と、コンピュータ 1 が実行するプログラムをそれぞれ読取るための磁気テープ装置 3、CD-ROM (Compact Disc-Read Only Memory) 装置 7 および通信モデム 9 とを含む。

【 0 0 1 4 】

バックアノテーションフローのプログラムは、コンピュータ 1 で読取可能な記録媒体である磁気テープ 4 または CD-ROM 8 に記録され、磁気テープ装置 3 および CD-ROM 装置 7 でそれぞれ読取られる。または、通信回線を介して通信モデム 9 で読取られる。

【 0 0 1 5 】

図 2 を参照して、コンピュータ 1 は、磁気テープ装置 3、CD-ROM 装置 7 または通信モデム 9 を介して読取られたプログラムを実行するための CPU (Central Processing Unit) 1 0 と、コンピュータ 1 の動作に必要なその他のプログラムおよびデータを記憶するための ROM (Read Only Memory) 1 1 と、プログラム、プログラム実行時のパラメータ、演算結果などを記憶するための RAM (Random Access Memory) 1 2 と、プログラムおよびデータなどを記憶するための磁気ディスク 1 3 とを含む。

【 0 0 1 6 】

磁気テープ装置 3、CD-ROM 装置 7 または通信モデム 9 により読取られたプログラムは、CPU 1 0 で実行され、バックアノテーションフローが実行される。

【 0 0 1 7 】

図 3 を参照して、本実施の形態にかかるバックアノテーションフローについて説明する。

【 0 0 1 8 】

図 4 (A) に示す論理回路図 a 1 は、入力ノード B に接続された反転器 4 2 と、入力ノード A および反転器 4 2 の出力ノード C に接続された NAND ゲート 4 4 と、NAND ゲート 4 4 の出力ノード D に接続された反転器 4 6 とを含む。

【 0 0 1 9 】

論理回路図 a 1 にプレレイアウトシミュレーションを実行し、シミュレーション実行時に電位の変化するノード（以下「アクティブノード」という）を抽出する（S 1）。図 4（B）は、図 4（A）の論理回路図 a 1 にプレレイアウトシミュレーションを実行した図である。

【0020】

図 4（B）を参照して、入力ノード A に入力信号 a a 1、入力ノード B に入力信号 a a 2（0 V）が入力された場合、プレレイアウトシミュレーション時に入出力ノード C は信号 a a 3（3. 0 V）、入出力ノード D には出力信号 a a 4、出力ノード E には出力信号 a a 5 がそれぞれ出力される。同時にプレレイアウトシミュレーション時に電位が変化するアクティブノードとしてノード A、D、E および F が抽出され、図 4（C）に示すアクティブノード情報 a a 6 が出力される。

【0021】

次に、図 5（A）に示すレイアウトパターンデータ a 3 に対して、従来と同様の方法に従いレイアウトパターン検証が実行される（S 2）。

【0022】

S 1 のプレレイアウトシミュレーション時に抽出されたアクティブノード情報 a a 6 に基づいて、レイアウトパターンデータ a 3 より寄生素子が抽出され、レイアウトパターンデータ a 3 のすべてのデバイスと抽出された寄生素子情報を含んだ寄生素子付ネットリスト（図 5（B））が生成される（S 3）。

【0023】

その後、S 3 で生成された寄生素子付ネットリストを用いてポストレイアウトシミュレーションが実施される（S 4）。

【0024】

以上説明したように、実施の形態 1 によれば、プレレイアウトシミュレーション結果を用いて、レイアウトパターンデータ内の寄生素子抽出対象ノードの選定を容易化する。それに伴い、寄生素子の抽出処理時間が短縮する。また、寄生素子の抽出結果を用いてポストレイアウトシミュレーションを実行するため、ポストレイアウトシミュレーションの処理時間を短縮し、効率的なバックアノテーション

ョンの実施が可能となる。

【実施の形態 2】

本実施の形態によるバックアノテーション装置は、実施の形態 1 と同様のハードウェア構成を有する。このため、その説明はここでは繰返さない。

【0 0 2 5】

図 6 を参照して、本実施の形態にかかるバックアノテーションフローについて説明する。

【0 0 2 6】

図 7 (A) に示す論理回路図 e 1 は、入力ノード B に接続された反転器 5 2 と、入力ノード A および反転器 5 2 の出力ノード C に接続された NAND ゲート 5 4 と、NAND ゲート 5 4 の出力ノード D に接続された抵抗器 5 6 と、抵抗器 5 6 の出力ノード D の反対側に位置する入出力ノード G に接続された反転器 5 8 とを含む。

【0 0 2 7】

図 4 (A) に示した論理回路図 e 1 にプレレイアウトシミュレーションを実行し、アクティブノードおよびシミュレーション実行時に電位の変化しないノード（以下「ノンアクティブノード」という）を抽出する (S 1 1)。

【0 0 2 8】

図 7 (B) を参照して、入力ノード A に入力信号 e a 1、入力ノード B に入力信号 e a 2 (0 V) が入力された場合、プレレイアウトシミュレーション時に入出力ノード C は信号 e a 3 (3. 0 V)、入出力ノード D には出力信号 e a 4、入出力ノード G には出力信号 e a 5、出力ノード E には出力信号 e a 6 がそれぞれ出力される。同時にプレレイアウトシミュレーション実行時に電位が変化するアクティブノードとして、ノード A、D、E、F および G が抽出され、図 7 (C) に示すアクティブノード情報 e a 7 が出力される。また、電位が変化しなかったノンアクティブノードとして、ノード C とその固定電位 (3. 0 V) とが抽出され、図 7 (D) に示すノンアクティブノード情報 e a 8 として出力される (S 1 1)。

【0 0 2 9】

次に、図 7 (B) に示すレイアウトパターンに対して、従来と同様の方法に従いレイアウトパターン検証が実行される (S 2)。

【0 0 3 0】

プレレイアウトシミュレーション時に抽出されたアクティブノード／ノンアクティブノードに対応するレイアウトパターンデータ上のノードが、レイアウトパターン検証時に、独自の基準で縮退された直列接続デバイスが並列に接続されたもの（並列接続素子が単一の直列接続素子化されたもの等）の内部ノードの場合、その縮退されたレイアウトパターンデータ上の内部ノード全て（縮退前の内部ノード）を抽出する (S 1 2)。

【0 0 3 1】

また、S 1 2 では同時に、上記アクティブノード／ノンアクティブノードに対応する論理回路図データ上のノードが、レイアウトパターン検証時に、独自の基準で縮退された直列接続デバイスが並列に接続されたものの内部ノードの場合、論理回路図上の内部ノードに対応するレイアウトパターンデータ上の内部ノードを抽出する。

【0 0 3 2】

S 1 2 の処理をより詳細に説明すると、図 8 (A) を参照して、プレレイアウトシミュレーション時に抽出されたアクティブノード／ノンアクティブノードに対応するレイアウトパターンデータ c 1 上のノードが、レイアウトパターン検証時に独自の基準で縮退された直列接続デバイスが並列接続されたもの c a 2 の内部ノードの場合、上記縮退されたレイアウトパターンデータ c 1 上の内部ノードの全て（縮退前の内部ノード F および ? 1）を抽出する（図 8 (B)）。

【0 0 3 3】

また、図 9 (A) を参照して、プレレイアウトシミュレーション時に抽出されたアクティブノード／ノンアクティブノードに対応する論理回路図データ上のノードがレイアウトパターン検証時に、独自の基準で縮退された直列接続デバイスが並列接続されたもの c a 1 6 の内部ノードの場合、上記縮退された論理回路図データ上の内部ノードに対応するレイアウトパターンデータ上の内部ノード ? 1 を抽出する（図 9 (B)）。

【 0 0 3 4 】

S 1 2 の処理の後、プレレイアウトシミュレーション時に抽出されたアクティブノード／ノンアクティブノードに対応するレイアウトパターンデータ上のノードが、レイアウトパターン検証時に、独自の基準で縮退された直列接続デバイス（直列接続素子が単一素子化されたもの等）の内部ノードの場合、その縮退されたレイアウトパターンデータ上の内部ノード全て（縮退前の内部ノード）を抽出する（S 1 3）。

【 0 0 3 5 】

また、S 1 3 では同時に、上記アクティブノード／ノンアクティブノードに対応する論理回路図データ上のノードがレイアウトパターン検証時に、独自の基準で縮退された直列接続デバイスの内部ノードの場合、論理回路図上の内部ノードに対応するレイアウトパターンデータ上の内部ノードを抽出する。

【 0 0 3 6 】

S 1 3 の処理をより詳細に説明すると、プレレイアウトシミュレーション時に抽出されたアクティブノード／ノンアクティブノードに対応する、レイアウトパターンデータが図 1 0 （A）に示されているものとする。図 1 0 （A）に示すレイアウトパターンデータ d 3 上のノードが、レイアウトパターン検証時に、独自の基準で縮退された直列接続デバイス d a 9 の内部ノードの場合、図 1 0 （B）を参照して、上記縮退されたレイアウトパターンデータ上の内部ノード（縮退前の内部ノード）D、？ 2 および G が抽出される。

【 0 0 3 7 】

また、プレレイアウトシミュレーション時に抽出されたアクティブノード／ノンアクティブノードに対応する論理回路図データが図 1 1 に示されているものとする。図 1 1 に示す論理回路図データ d 7 上のノードがレイアウトパターン検証時に、独自の基準で縮退された直列接続デバイス d a 2 1 の内部ノードの場合、上記縮退された論理回路図データ d 7 上の内部ノード D および G に対応するレイアウトパターンデータ上の内部ノード D が抽出される。

【 0 0 3 8 】

S 1 2 および S 1 3 の処理を総合すると、図 1 2 （A）に示すように内部ノード

ド D, ? 2, G, F および ? 1 が抽出される。

【 0 0 3 9 】

S 1 2 および S 1 3 の処理により抽出された内部ノードに対する寄生素子付ネットリストを、寄生素子の抽出精度を維持したまま寄生素子情報のみを縮退した寄生素子付ネットリストに変換する (S 1 4) 。すなわち、図 1 2 (B) のアクティブノード情報 e a 7 に内部ノード ? 1 および ? 2 が追加され、アクティブノード情報 e a 1 1 が作成される。

【 0 0 4 0 】

S 2 におけるレイアウトパターン検証の結果と S 1 1 のプレレイアウトシミュレーションで抽出されたアクティブノード情報を用いて、レイアウトパターンデータ内のアクティブノードに対するパス選択型寄生素子抽出と、上記アクティブノードに接続するデバイス部分 (プレレイアウトシミュレーション時に回路動作した部分回路) のみの寄生素子付部分回路のネットリスト (図 1 2 (C)) を生成する (S 1 5) 。

【 0 0 4 1 】

図 1 2 (D) を参照して、S 1 5 の処理で作成された寄生素子付部分回路のネットリストに含まれる寄生素子情報のみを縮退したネットリスト e 6 を作成する (S 1 6) 。

【 0 0 4 2 】

その後、S 1 6 で生成された寄生素子付ネットリスト e 6 を用いてポストレイアウトシミュレーションが実施される (S 1 7) 。ポストレイアウトシミュレーション実行時には、図 7 (D) に示すノンアクティブノード情報 e a 8 を用いて、ノード C の電位を 3. 0 V に固定する。

【 0 0 4 3 】

以上説明したように、本実施の形態によれば、プレレイアウトシミュレーション結果を用いたレイアウトパターンデータ内の寄生素子抽出対象ノード選定を容易化する。それとともに、ポストレイアウトシミュレーション対象回路の絞込みとレイアウトパターンデータに忠実な寄生素子抽出と抽出精度を維持したままの寄生素子情報の縮退化を実現できる。また、寄生素子抽出処理時間および上記寄

生素子抽出結果を用いたポストレイアウトシミュレーション処理時間を短縮し、効率的なバックアノテーションの実施が可能になる。

【 0 0 4 4 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 0 4 5 】

【発明の効果】

プレレイアウトシミュレーション結果を用いて、レイアウトパターンデータ内の寄生素子抽出対象ノードの選定を容易化する。それに伴い、寄生素子の抽出処理時間が短縮する。また、寄生素子の抽出結果を用いてポストレイアウトシミュレーションを実行するため、ポストレイアウトシミュレーションの処理時間を短縮し、効率的なバックアノテーションの実施が可能となる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 および 2 によるバックアノテーション装置の外観図である。

【図 2】 本発明の実施の形態 1 および 2 によるバックアノテーション装置のハードウェア構成を示すブロック図である。

【図 3】 実施の形態 1 によるバックアノテーション処理のフローチャートである。

【図 4】 論理回路図にプレレイアウトシミュレーションを施した際のアクティブノード抽出方法を説明するための図である。

【図 5】 レイアウトパターンデータより寄生素子を抽出した例を説明するための図である。

【図 6】 実施の形態 2 によるバックアノテーション処理のフローチャートである。

【図 7】 論理回路図にプレレイアウトシミュレーションを施した際のアクティブノード／ノンアクティブノード抽出方法を説明するための図である。

【図8】 図6のS12の処理をより詳細に説明するための図である。

【図9】 図6のS12の処理をより詳細に説明するための図である。

【図10】 図6のS13の処理をより詳細に説明するための図である。

【図11】 図6のS13の処理をより詳細に説明するための図である

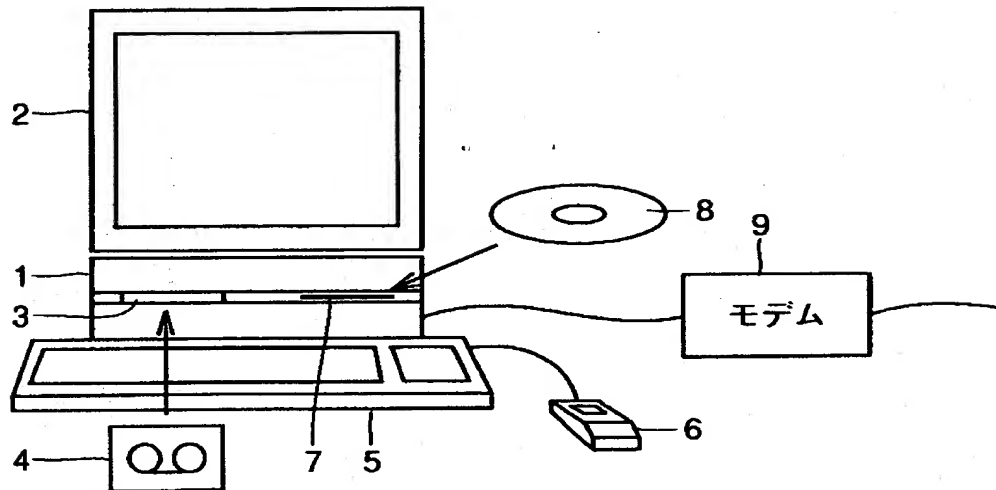
【図12】 パス選択型寄生素子抽出例と寄生素子情報の縮退例とを説明するための図である。

【符号の説明】

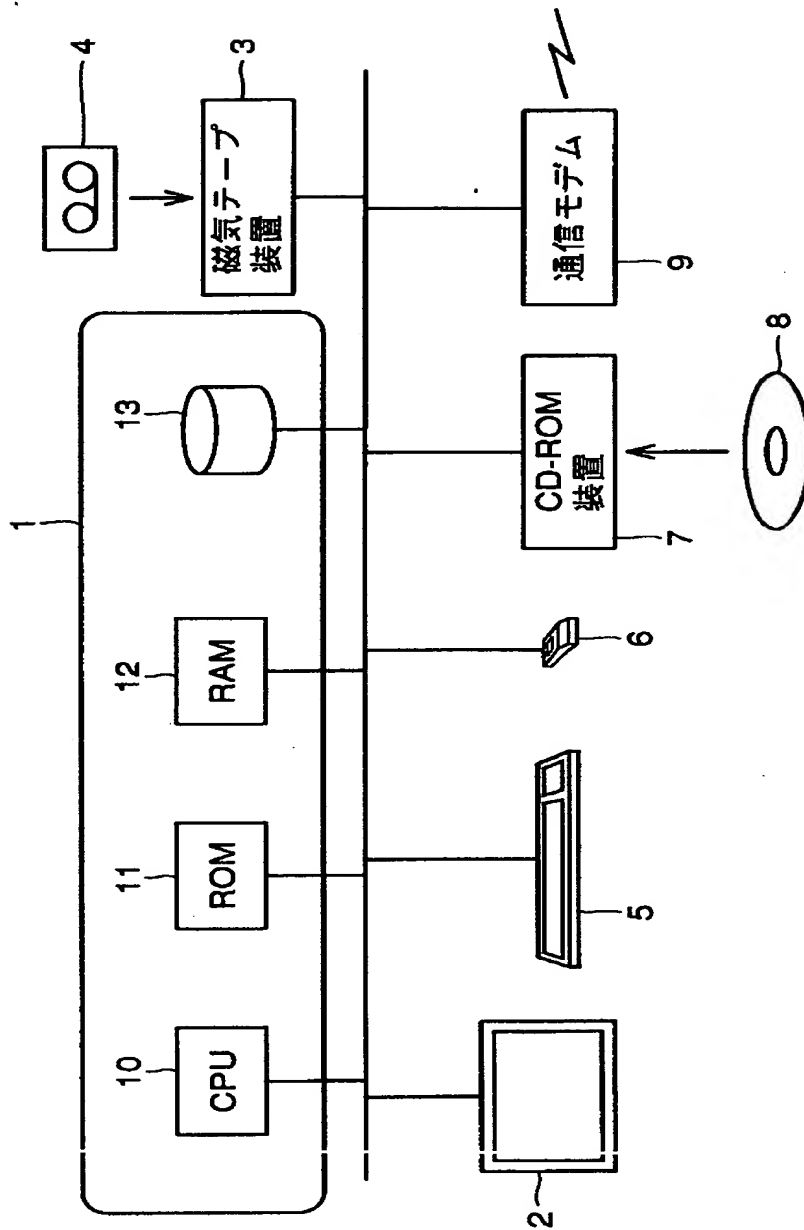
1 コンピュータ、2 ディスプレイ、3 磁気テープ装置、4 磁気テープ、5 キーボード、6 マウス、7 CD-ROM装置、8 CD-ROM、9 通信モデム、10 CPU、11 ROM、12 RAM、13 磁気ディスク、42, 46, 52, 58 反転器、44, 54 NANDゲート、56 抵抗器、a1, e1 論理回路図、a3, c1, d3 レイアウトパターンデータ、aa1, aa2, ea1, ea2 入力信号、aa3, ea3 信号、aa4, aa5, ea5, ea6 出力信号、aa6, ea11, ea7 アクティブノード情報、d7 論理回路図データ、da21, da9 直列接続デバイス、e6 ネットリスト、ea8 ノンアクティブノード情報。

【書類名】 図面

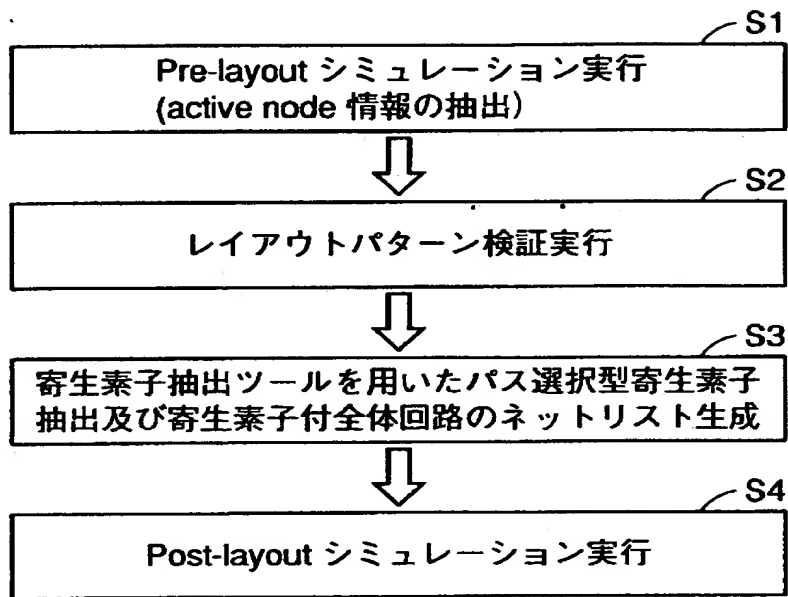
【図 1】



【図 2】

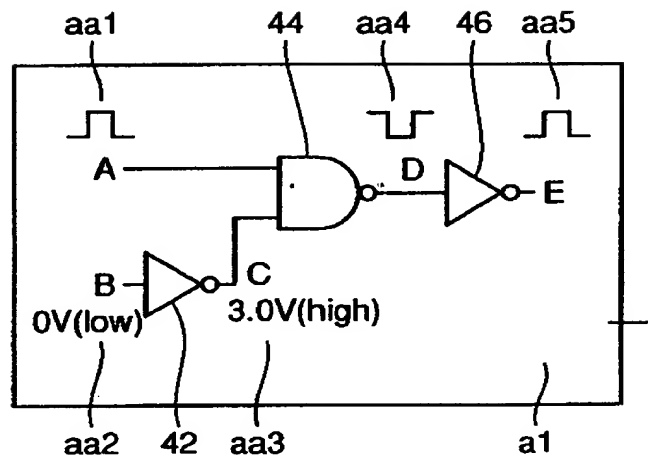


【図 3】

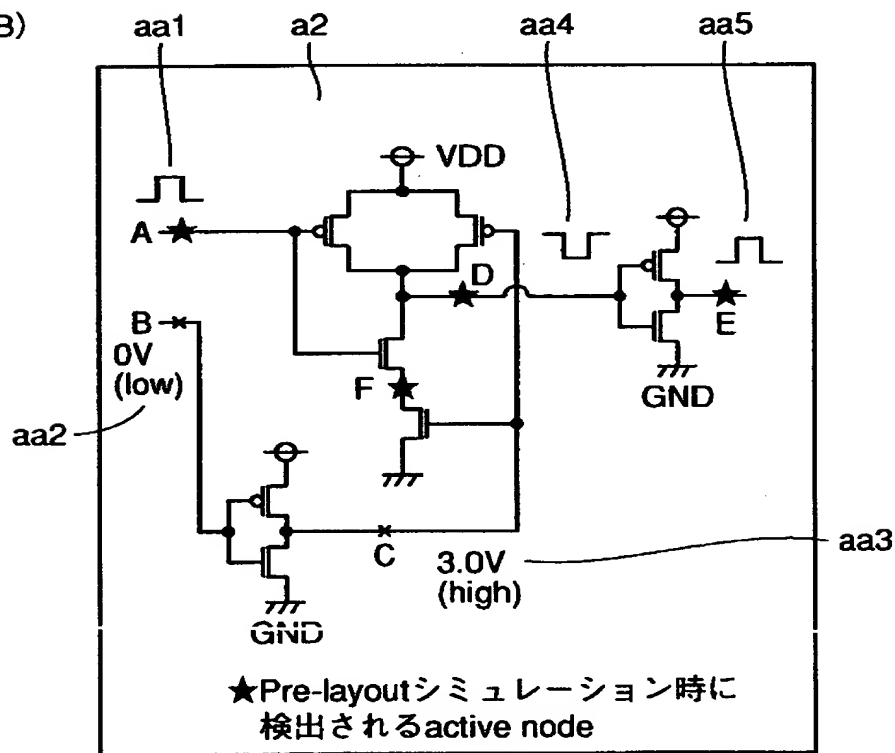


【図 4】

(A)



(B)

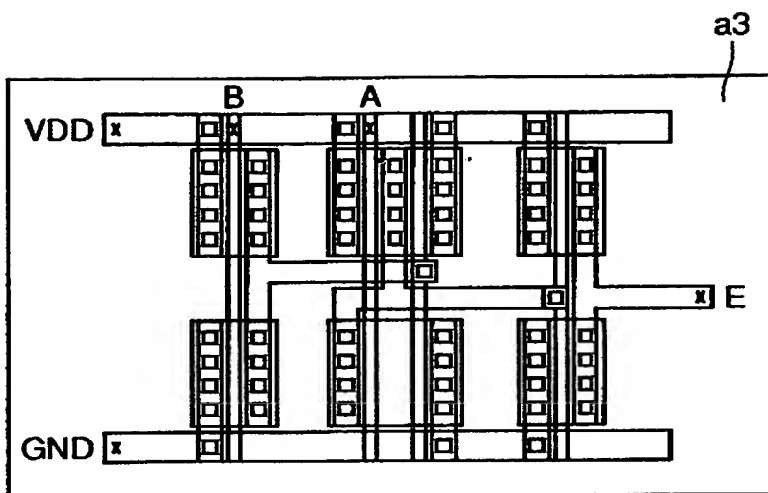


(C)

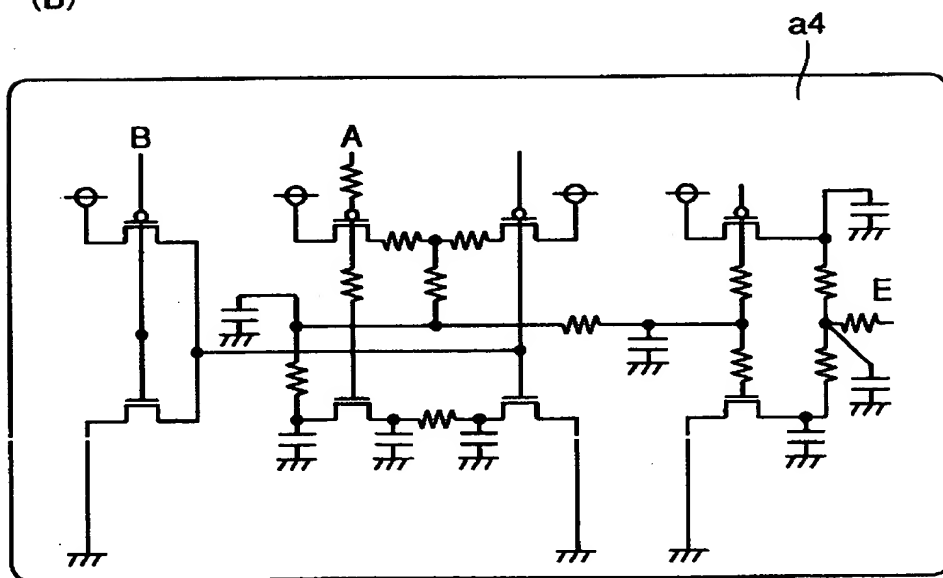


【図 5】

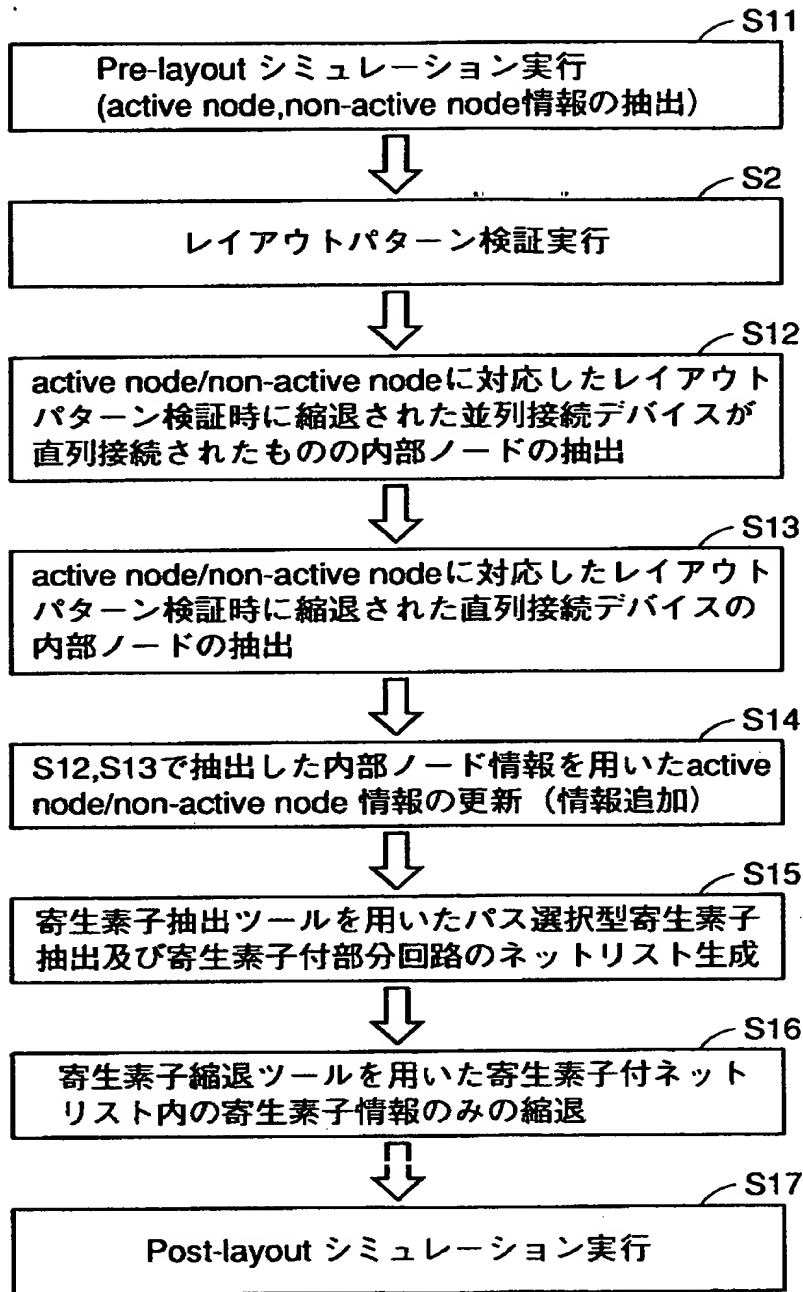
(A)



(B)

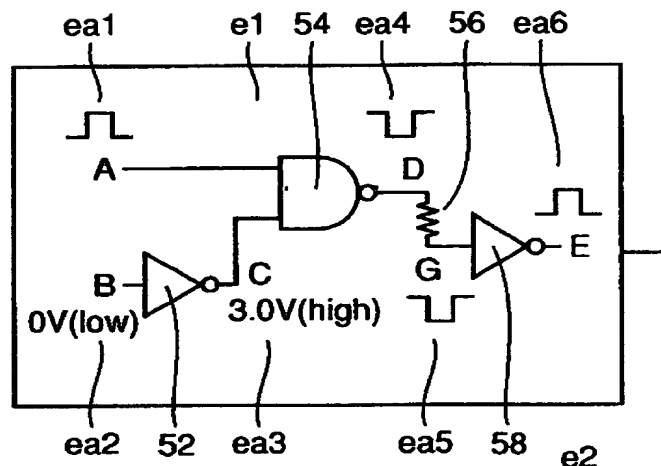


【図 6】

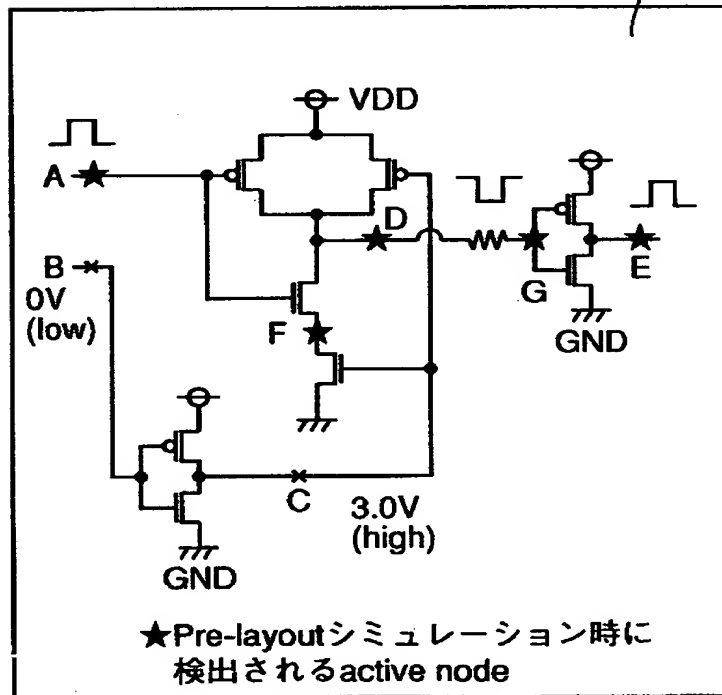


【図 7】

(A)



(B)



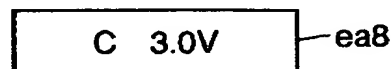
(C)

(active node情報)



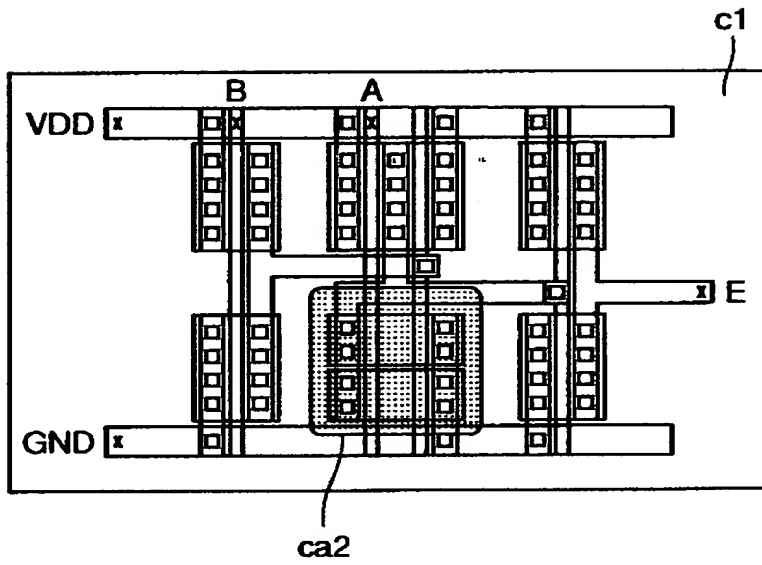
(D)

(Non-active node情報)

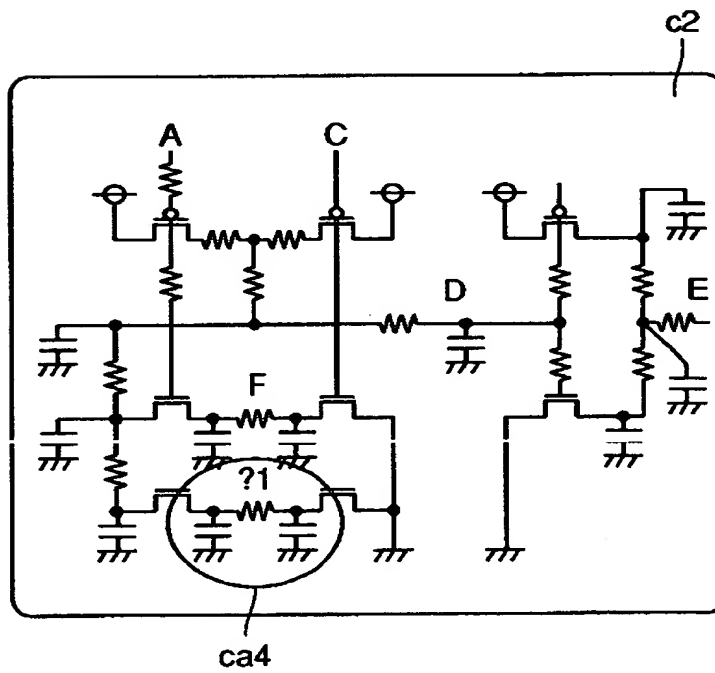


【図 8】

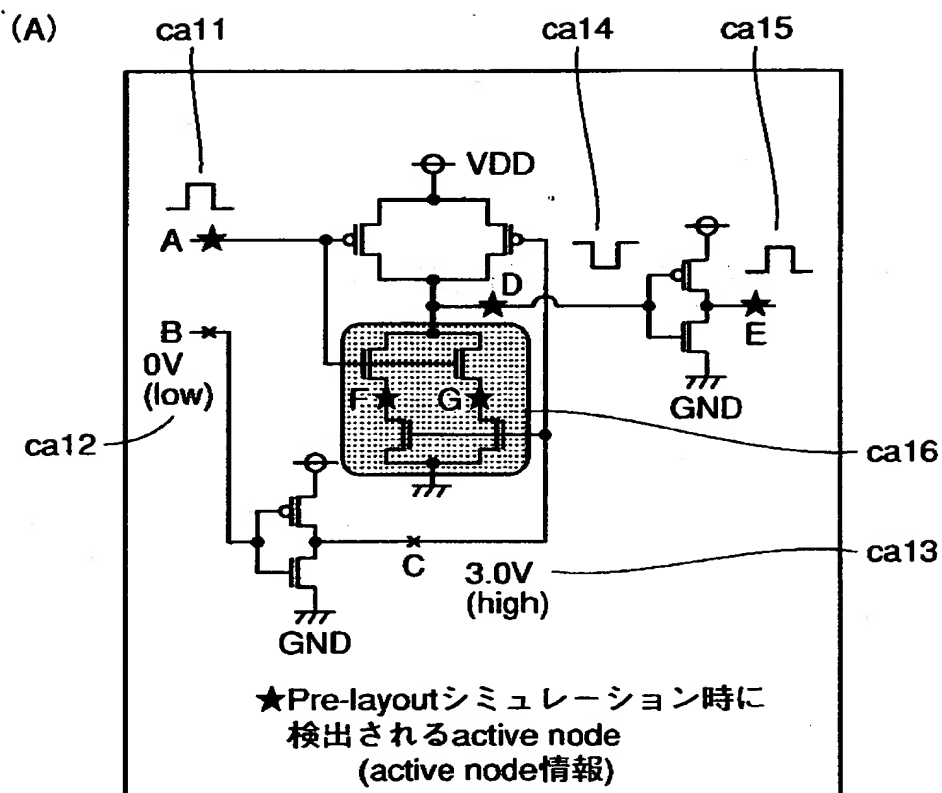
(A)



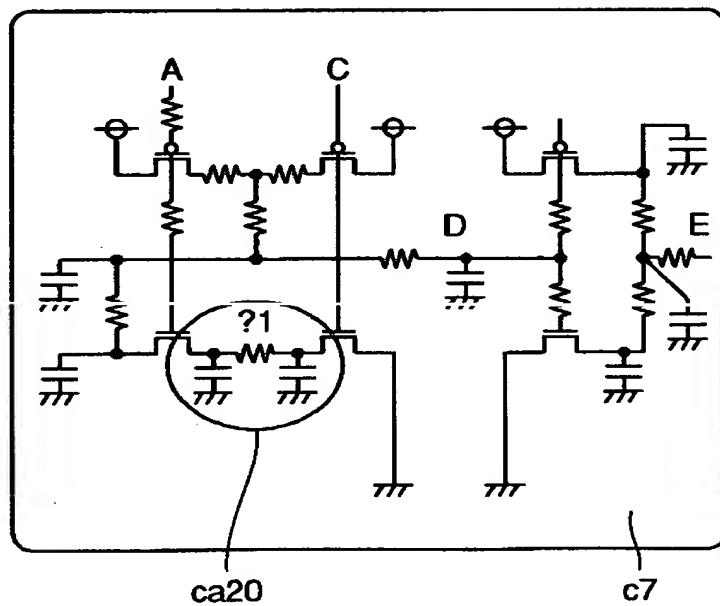
(B)



【図 9】

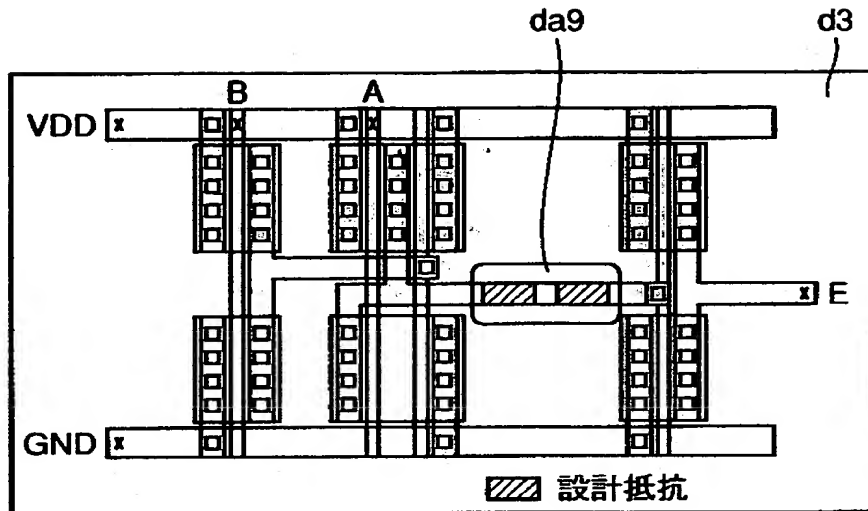


(B)

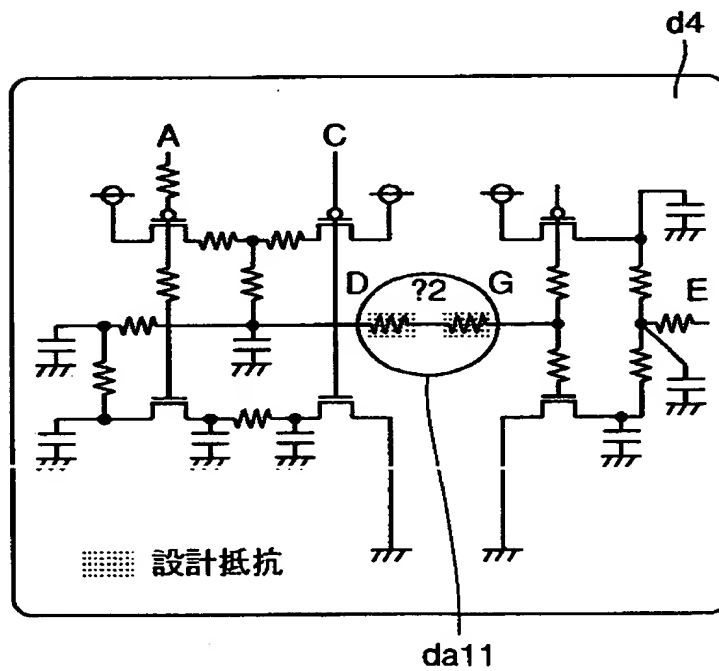


【図10】

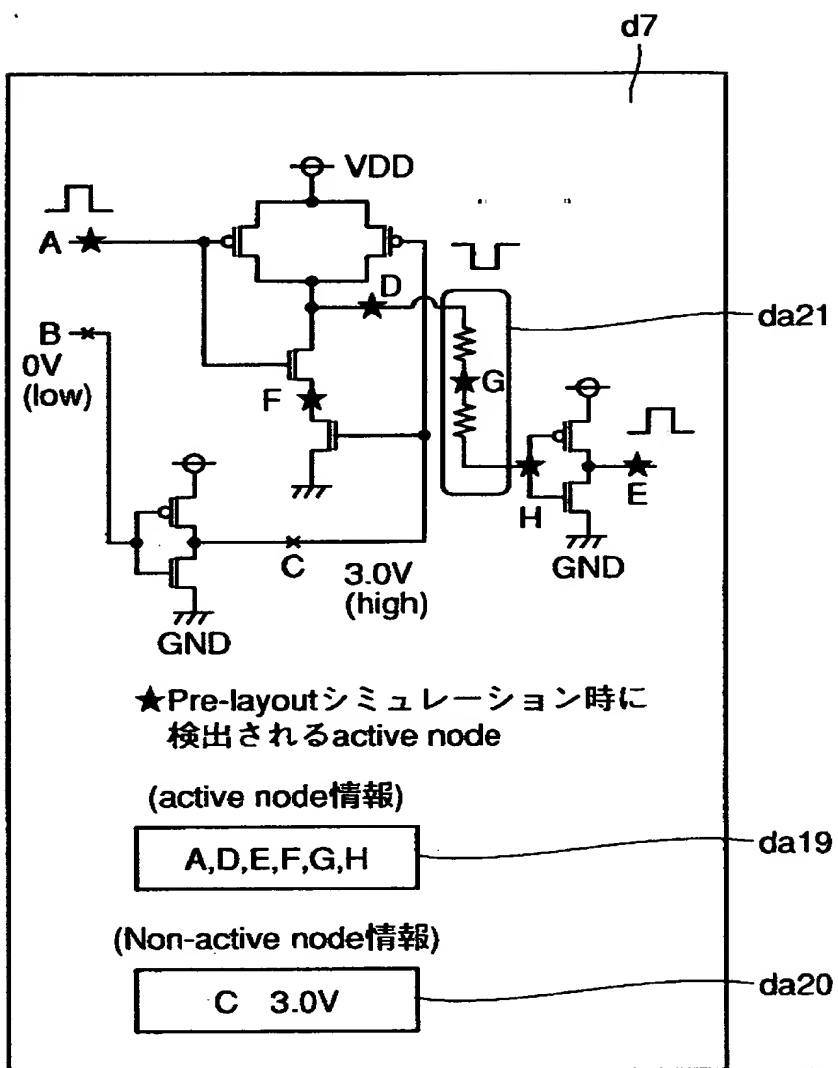
(A)



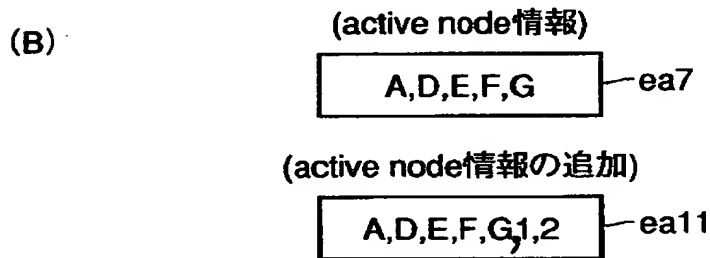
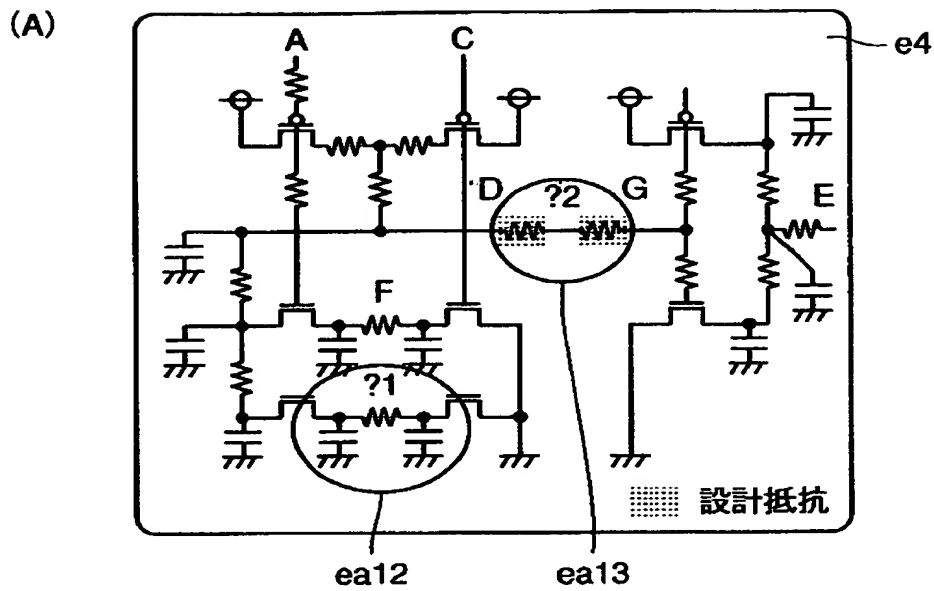
(B)



【図 1 1】



【図12】



(C)

R1_1	A#2	A#3	2.0
R1_2	A#3	A#4	3.0
R1_3	A#4	A#5	1.0
R1_4	A#3	A#5	4.0
R1_5	A#5	A#6	1.0
C1_1	A#2	GND	0.1PF
C1_2	A#3	GND	0.2PF
C1_3	A#4	GND	0.2PF
C1_4	A#5	GND	0.2PF
C1_5	A#6	GND	0.1PF

e5

(D)

RAA1	A#2	A#6	5.0
CAA1	A#2	GND	0.4PF
CAA2	A#6	GND	0.4PF

e6

【書類名】 要約書

【要約】

【課題】 効率的にバックアノテーションを実行する。

【解決手段】 Pre-layoutシミュレーションを実行し、シミュレーション実行時に電位の変化したノード（アクティブノード）を抽出する（S1）。レイアウトパターンデータに対してレイアウトパターン検証を行なう（S2）。S1のPre-layoutシミュレーション時に抽出されたアクティブノード情報に基づいて、レイアウトパターンデータより寄生素子が抽出され、レイアウトパターンデータのすべてのデバイスと抽出された寄生素子情報を含んだ寄生素子付ネットリストが生成される（S3）。生成されたネットリストに基づいてPost-layoutシミュレーションが実行される（S4）。

【選択図】 図3

特 2000-226756

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社